

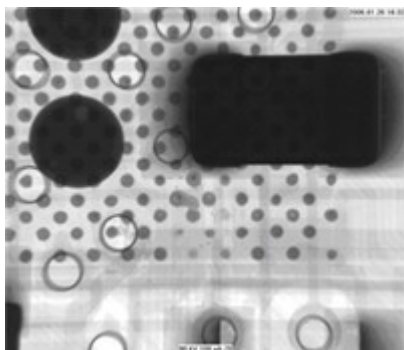
Interaktywne wyszukiwanie błędów na płycie drukowanej

JTAG/BoundaryScan uchodzi nie bez przyczyny za najwygodniejszą, niezwykle wydajną i jednocześnie bardzo łatwą i dostępną metodę testowania i poszukiwania błędów w nowoczesnych urządzeniach elektronicznych czy mikroprocesorowych.

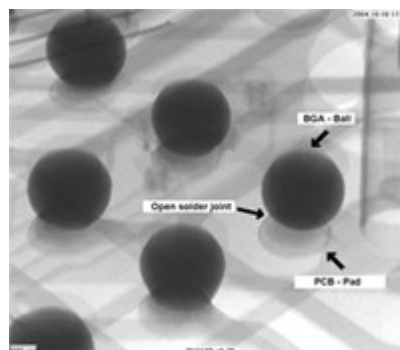
W końcu lat osiemdziesiątych, grupa producentów elementów półprzewodnikowych założyła konsorcjum „Joint Test Access Group” znane jako JTAG zajmujące się testowalnością pojedynczych układów, jak również całych ich zespołów połączonych w funkcjonalną całość. W wyniku działalności konsorcjum, w roku 1990 został opublikowany standard IEEE-Standard 1149.1 „Test Access Port and Boundary Scan Architecture”. Standard ten definiuje logikę testową, którą można zintegrować w układzie elektronicznym. Głównym założeniem tej dodatkowej logiki, było umożliwienie przeprowadzenia testu układu, obserwacji aktywności jego sygnałów bez zakłócania jego pracy, ale również testowania połączeń pomiędzy komponentami w obwodzie.

Te cechy i własności układów dysponujących logiką testową JTAG można wykorzystać m.in. przy uruchamianiu prototypów nowych urządzeń elektronicznych. JTAG oferuje tu szerokie spektrum możliwości od debuggowania mikroprocesorów znajdujących się na naszej płycie, poprzez testowanie innych komponentów posiadających JTAG, aż po choćby programowanie pamięci typu Flash, znajdujących się czy to wewnątrz wybranych mikroprocesorów czy jako osobne zewnętrzne komponenty pamięci.

W ostatnich latach przybywa w ofertach producentów elementów półprzewodnikowych coraz więcej ciekawych, coraz bardziej wydajnych i coraz tańszych układów zamykanych w obudowy BGA (Ball Grid Array). Stanowi to pewien problem, związany z montażem urządzenia elektronicznego, ponieważ już sama technika przylutowania układu w obudowie BGA stanowi w porównaniu do montażu powierzchniowego znacznie bardziej skomplikowany technologicznie proces. Znacznie większym wyzwaniem, jest jednak proces testowania i kontroli poprawności montażu elementu BGA. Połączenia tego układu z wyprowadzeniami na płycie są niewidoczne dla oka operatora. Na skutek wielu błędów, które mogą wystąpić podczas montażu, może dojść do zwarć pomiędzy kulkami lutowni (patrz zdjęcie 1), pole lutownicze może również odessać lutownię kulki sąsiedniej przerywając połączenie, lub też kulki mogą nie ulec roztopieniu nie tworząc połączenia wcale (patrz zdjęcie 2). Do kontroli połączenia układu z płytką, stosowane są niezwykle drogie i stosunkowo kłopotliwe urządzenia oparte na lampie Roentgenowskiej, służące do prześwietlenia przylutowanego układu i tym samym pozwalające na wzrokową ocenę jakości połączeń (zdjęcia 1 i 2). Są również stosowane mikroskopy pozwalające na inspekcję połączeń, przy czym w tym przypadku możemy podejrzec praktycznie pierwsze 2-3 rzędy kulek lutowni znajdujących się pod obudową BGA.



Zdjęcie 1 – przykład zwarcia kulek lutowni pod układem BGA



Zdjęcie 2 – przykład nieroztopionych kulek lutowni, nie tworzących połączenia

Co jednak zrobić, gdy mamy do czynienia z urządzeniem krótkoseryjnym, które ma być w całości

wykonane w naszej firmie, czy też prototypem, który będzie dopiero uruchamiany, do którego nie mamy jeszcze opracowanych testów pozwalających ocenić jego funkcjonalność. Co zrobić gdy chcemy ograniczyć koszty wykonania i uruchomienia pierwszej serii prototypowej? Dostępne na rynku tańsze rozwiązania lutownic na gorące powietrze pozwalają nam na samodzielne przylutowanie wybranego układu w obudowie BGA w warunkach małej firmy, czy też biura projektowego/konstrukcyjnego. Zakup i zastosowanie aparatury Roentgenowskiej może jednak znacznie przerastać możliwości finansowe firmy, lub być niemożliwe z innych powodów – jak brak odpowiedniego pomieszczenia dla takiego urządzenia. Zlecenie przylutowania i testów układu wyspecjalizowanej firmie, może również znacznie podnieść koszt wykonania prototypu. Sama inspekcja systemem wizyjnym daje nam pewien pogląd na prawidłowość procesu lutowania, zastosowanych profili temperaturowych, jednak nie daje 100% pewności co połączeń w głębi układu, pozostających poza zasięgiem wzroku.

W takiej sytuacji, staje się sensowne użycie odpowiedniego narzędzia opartego na JTAG, które wykorzystuje możliwości wewnętrznej logiki testowej układów (Patrz wiadomości w ramce). Takie narzędzie, powinno pozwolić nam nie tylko na testowanie samego układu w obudowie BGA, ale również i innych komponentów w produkcji, powinno pozwolić na przygotowanie zautomatyzowanych testów, które będą mogły być użyte również na innych etapach wdrożenia naszej konstrukcji.

Przykładem takiego narzędzia jest Hpe®_JTAG firmy Gleichmann Electronics Research, które wspiera wszystkie wyspecyfikowane przez standard IEEE 1149.1 tryby testów (patrz tekst w ramce), również INTEST o ile jest wspierany przez sam układ. Poprzez wbudowany interfejs języka skryptów Python pozwala na tworzenie złożonych procedur testowych, integrację testów jak również ich łatwą automatyzację. Wspiera i ułatwia testowanie układów reprogramowalnych FPGA użytych w testowanym urządzeniu poprzez import plików opisujących piny powstałych w trakcie syntezy projektu dla FPGA.

Użycie oprogramowania Hpe®_JTAG jest bardzo proste, wygodny w użyciu i obsłudze, intuicyjny program uruchamiany w środowisku Windows, pozwala na kontrolę wszystkich urządzeń dostępnych w podłączonym łańcuchu JTAG układów. Już pierwszy test odbywa się podczas inicjalizacji połączenia. System odczytuje wszystkie dostępne w połączeniu numery identyfikacyjne (ID) układów, które mogą zostać od razu porównane z zadanymi przez użytkownika spodziewanymi identyfikatorami. Te identyfikatory mogą oczywiście być zaimportowane z dostępnym nam plików BSDL dla testowanych układów.

Oprogramowanie Hpe®_JTAG łączy się z układami na testowanej płytce za pomocą wybranych interfejsów JTAG : np. Actel FlashPro3, Altera USB/ByteBlaster, Digilent USB-JTAG jak również interfejs firmy Gleichmann Hpe®_JTAG-Snooper dostępny (widoczny na zdjęciu nr 3) podłączonych do komputera poprzez interfejs USB.

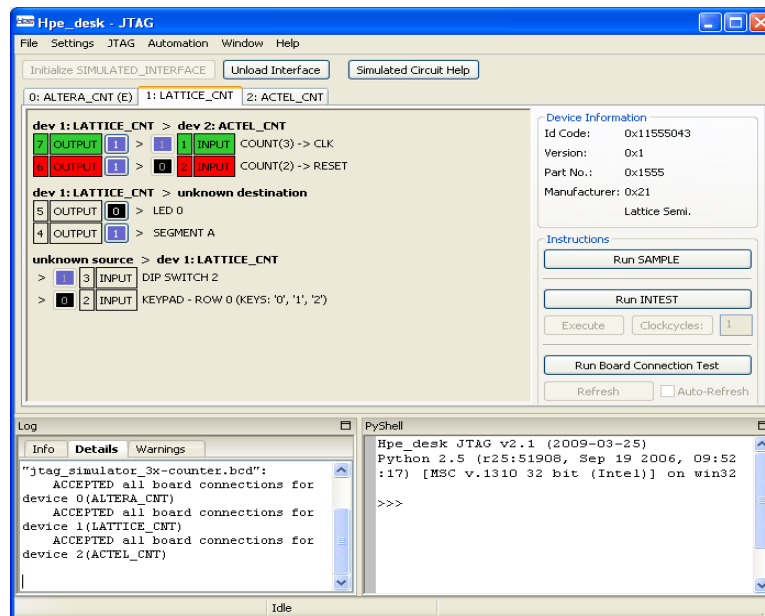


Zdjęcie 3 – Hpe®_JTAG-Snooper interfejs USB-JTAG

Przedstawiony na zdjęciu 4 graficzny interfejs użytkownika oprogramowania Hpe®_JTAG, z przykładem trzech układów połączonych w łańcuch JTAG. Dla każdego układu w wykrytym

łańcuchu jest tworzona osobna zakładka w programie, udostępniająca użytkownikowi specyficzne dla wybranego układu cechy.

Dostępne funkcje filtrowania pozwalają użytkownikowi na obserwowanie wyłącznie interesujących go wejść/wyjść wybranego układu. W przypadku obserwacji układu reprogramowalnego jak CPLD/FPGA, obserwowanym wejściom/wyjściom mogą zostać nadane tu nazwy funkcjonalne wejść/wyjść określone przez projekt użytkownika. Nazwy nadane pinom przez użytkownika są importowane z plików BSDL, lub PIN tworzonych w trakcie procesu syntezy projektu dla CPLD/FPGA.



Zdjęcie 4 – Widok interfejsu graficznego użytkownika Hpe®_JTAG

Poprzez ładowanie informacji o pinach z plików BSDL, użytkownik ma wygodny i przejrzysty widok na fizyczne wyprowadzenia testowanego układu i jego logiczny odpowiednik związany np. z opisanymi np. w języku HDL tzw. Top-Level Entity, definiującym zawartość układu reprogramowalnego. Nazwy te mogą również pomagać w szybkiej orientacji na schematach urządzenia, podczas jego testowania i kontroli.

Wyodrębnione sygnały mogą być wyświetlane oddzielnie, lub też być porządkowane poprzez spięcie ich w wspólną magistralę (bus). Stan takich magistral, może być prezentowany w wybrany sposób np. jako wartość heksadecymalna, dziesiętna czy binarna. Na tym etapie testowania można stwierdzić czy np. jest widoczna oczekiwana aktywność na wybranej magistrali adresowej, danych czy też na liniach zegarowych, czy linie we/wy w określonym stanie odpowiadają naszym oczekiwaniom.

Ważną cechą oprogramowania jest możliwość automatyzacji lub powtarzalności wykonywanych testów, co pozwala na zastosowanie przy uruchamianiu/testowaniu serii urządzeń. Na tym etapie, Hpe_JTAG może posłużyć nie tylko do testów połączeń między układami/komponentami, lub kontroli zwarć pod układem BGA, ale również do przetestowania zainstalowanych w urządzeniu pamięci SDRAM/SRAM, interfejsów, rejestrów, wyświetlaczy, jak i również do programowania pamięci Flash np. docelowym firmware testowanego/uruchamianego urządzenia.

Szeroki wachlarz zastosowań samego interfejsu JTAG, pozwala również na np. generowanie testowych sygnałów zapisywanych np. dla wewnętrznych pamięciach RAM i użycie ich jako sekwencji testowych do testów projektu w realnym układzie FPGA/CPLD. Ich użycie jak i odczyt wyników odbywa się poprzez JTAG, a test zostanie przeprowadzony w 'fizycznym' sprzęcie. Odpowiedni skrypt pozwala na zapis zarówno sygnałów wejściowych jak i odpowiedzi układu w różnych formatach, np. bazującym na ASCII standardzie przemysłowym VCD (Value Change Dump), wspieranym przez większość aplikacji do obróbki przebiegów (waveforms).

W sumie aplikacja pozwala na wszystko co tylko poprzez interfejs JTAG jest możliwe do wykonania z wybranym układem, a co jest technikowi czy inżynierowi potrzebne, czy to w fazie prototypowania, czy produkcji, testów, lub naprawy urządzenia.

JTAG definiuje zintegrowaną w układzie logikę testową :

Standard IEEE 1149.1 definiuje tzw. Test Access Port zwany w skrócie TAP. Składa się on z czterech linii :

TDI (Test Data In)

TDO (Test Data Out)

TCK (Test Clock)

TMS (Test Mode Select)

dodatkowo używana jest linia opcjonalna TRST (Test Reset), służąca do resetowania układu.

Konstrukcja maszyny stanów JTAG pozwala jednak na przeprowadzenie resetu, poprzez przejście do odpowiedniego stanu, bez potrzeby użycia dodatkowej linii.

Cele I/O wewnątrz układu są połączone w łańcuch na zasadzie koncepcji Daisy-Chain do rejestru przesuwającego „(Boundary) Scan Register”. Każda skanowana cela może do tego rejestru wpisać do trzech bitów :

- bit wejściowy
- bit wyjściowy
- bit kontrolny

Ten rejestr jak i inne należące do interfejsu jak Bypass-Register, czy Instruction-Register jest kontrolowany przez tzw. TAP-Controller, sterowany poprzez sygnał TMS. Grupa dostępnych rejestrów zawiera często tzw. ID-Register dostarczający numer identyfikacyjny układu.

Standard IEEE 1149.1 opisuje również cztery tryby pracy, które muszą być wspierane przez układ :
BYPASS – w tym trybie układ powinien zachowywać się jak Flip-Flop zatrzymując przy zboczu sygnału TCK stan sygnału TDI na wyjście TDO.

SAMPLE – ten tryb pozwala na normalną, niezakłóconą pracę testowanego układu, przy czym cele I/O mogą być obserwowane.

PRELOAD – w tym trybie układ działa jak w SAMPLE, ale pozwala na zapis wartości w rejestr przesuwany.

EXTEST – wartości wpisane w łańcuch skanowania za pomocą trybu PRELOAD są w tym trybie wystawiane na wyjścia. Ten tryb w praktyce pozwala na test połączeń komponentów na płycie drukowanej. Logika rdzenia układu jest odcinana od cel I/O, przez co wartości na wyjściach układu są określane wyłącznie przez rejestr skanujący. Użycie tego trybu pociąga za sobą jednak ryzyko spowodowania zwarć w obwodzie lub równoczesnego zasilania tej samej linii. Z tego powodu, by bezpiecznie korzystać z tego trybu, użytkownik musi znać dokładnie testowany obwód i jego komponenty.

INTEST – tryb podobny do EXTEST, z tą różnicą, że po odcięciu cel I/O od rdzenia układu, testowany jest sama logika rdzenia – tu fizycznie odcięta od płytki i komponentów się na niej znajdujących. Jest to tryb opcjonalny standardu IEEE 1149.1 i jest wykorzystywany przez producentów niezmiernie rzadko.

Standard pozwala na połączenie zarówno wielu cel logicznych w pojedynczym układzie, jak również wielu oddzielnych układów na płycie we wspólny łańcuch. Wówczas wszystkie w ten sposób podłączone układy (cele) mogą być kontrolowane ze wspólnego, pojedynczego złącza JTAG.

Ważnym elementem standardu IEEE 1149.1 jest *Boundary Scan Description Language* (BSDL). Jest to opis w języku opisu sprzętu VHDL (Very Large Scale Integration (VLSI) Hardware Description Language) wszystkich znaczących informacji dotyczących JTAG dla danego układu. Standard zakłada, że dla każdego układu elektronicznego obsługującego standard JTAG musi istnieć plik BSDL. Takie pliki można z reguły znaleźć na stronach WEB producentów układów półprzewodnikowych.